

6
А-61

ЛЕНИНГРАДСКИЙ ИНСТИТУТ ТОЧНОЙ МЕХАНИКИ И ОПТИКИ

На правах рукописи

УДК 681.14

Г. Г. ЛАДАРИЯ

**ИССЛЕДОВАНИЕ И РАЗРАБОТКА
МЕТОДОВ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ
И КОРРЕКЦИИ ОШИБОК
ЦИФРОВЫХ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ
(ПРИМЕНИТЕЛЬНО К ЗАДАЧАМ АНАЛИЗА
СЛУЧАЙНЫХ ПРОЦЕССОВ)**

Специальность 05.252 — Вычислительная техника

Автореферат

диссертации на соискание ученой степени
кандидата технических наук

Город ЛЕНИНГРАД — год 1971

ЛЕНИНГРАДСКИЙ ИНСТИТУТ ТОЧНОЙ МЕХАНИКИ И ОПТИКИ

На правах рукописи

УДК 681.14

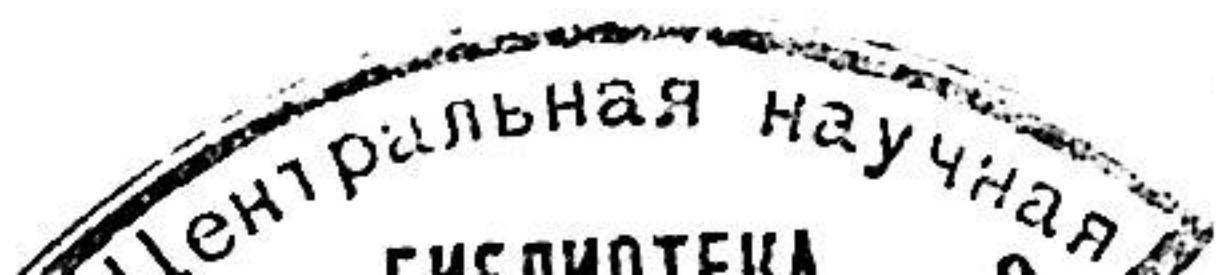
Г. Г. ЛАДАРИЯ

ИССЛЕДОВАНИЕ И РАЗРАБОТКА
МЕТОДОВ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ
И КОРРЕКЦИИ ОШИБОК
ЦИФРОВЫХ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ
(ПРИМЕНИТЕЛЬНО К ЗАДАЧАМ АНАЛИЗА
СЛУЧАЙНЫХ ПРОЦЕССОВ)

Специальность 05.252 — Вычислительная техника

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Город ЛЕНИНГРАД — год 1971



61

Работа выполнена в Тбилисском филиале Всесоюзного научно-исследовательского института метрологии им. Д. И. Менделеева.

Научный руководитель —
д-р техн. наук, доцент М. В. ЧХЕИДЗЕ.

Официальные оппоненты:
д-р техн. наук, профессор С. А. МАЙОРОВ,
канд. техн. наук, доцент Е. А. ЧЕРНЯВСКИЙ.

Ведущее предприятие — Тбилисский научно-исследовательский институт средств автоматизации (г. Тбилиси).

Автореферат разослан *21. » с.н.с.а.р.с.* . . . 1971 г.

Защита диссертации состоится *23. » с.р.е.в.р.а.д.а.р.* 1971 г.

на заседании Совета факультета точной механики и вычислительной техники (Ленинград, П-101, Саблинская ул., 14).

С диссертацией можно ознакомиться в библиотеке института (пер. Гривцова, 14).

Ваши отзывы и замечания по автореферату (в 2-х экземплярах) просим направлять в адрес института.

Ученый секретарь Совета
факультета точной механики
и вычислительной техники
канд. техн. наук

В. С. САЛТЫКОВ

Многие проблемы науки и техники связаны с экспериментальным определением количественных характеристик случайных процессов (СП).

Часто в практически важных случаях решение задач по определению характеристик СП должно проводиться в реальном масштабе времени, а алгоритмы обработки информации, естественно, должны обеспечивать высокое быстродействие и достоверность получения результатов. Отсюда возникают очень жесткие требования к быстродействию и надежности специализированных вычислительных машин (СВМ) статистического анализа.

Алгоритмы, положенные в основу функционирования СВМ, реализуются, в итоге, в виде определенной совокупности машинных арифметических и логических операций. Тем самым вопрос повышения быстродействия сводится к задаче **повышения скорости выполнения этих операций**. Аналогичная ситуация складывается и в отношении второго требования — надежности. Здесь также возникает задача **повышения надежности блоков и устройств, реализующих машинные операции**. Решению названных задач и посвящена настоящая диссертационная работа.

Исследования проводились по двум направлениям. Первое направление включает в себя:

- выбор рациональной системы кодирования информации;
- разработку новых методов выполнения машинных операций над кодами чисел;
- разработку новых методов повышения помехоустойчивости вычислительных процедур.

Второе направление состоит в создании рациональной (с точки зрения быстродействия и помехозащищенности) структуры цифровых устройств.

Результаты проведенных исследований положены в основу разработанной специализированной вычислительной аппаратуры статистического анализа.

Диссертация состоит из введения, пяти глав и заключения.

В первой главе реферируемой работы анализируются известные методы ускоренного выполнения машинных арифметических операций в двоичном коде, рассматриваются возможности выполнения операций в системе счисления в остаточных классах (СОК) и методы повышения надежности цифровых вычислительных устройств.

Вторая глава содержит результаты проведенного исследования по созданию новых методов и быстродействующих цифровых вычислительных устройств на базе двоичной системы счисления.

В третьей главе рассмотрены некоторые вопросы оперирования с числами в СОК. Описываются разработанное устройство преобразования цифровой информации из позиционной системы в СОК, арифметический модуль в СОК, метод фиксации переполнения при алгебраическом сложении в СОК, алгоритм реализации автономного блока фиксации переполнения сумматора в СОК.

Четвертая глава диссертации посвящена задаче повышения надежности функционирования вычислительных устройств. Описываются разработанные избыточные схемы, выполняющие универсальный набор машинных операций — прием, сдвиг и суммирование двоично-кодированных величин.

В пятой главе рассматриваются теоретические предпосылки, положенные в основу алгоритмов, реализуемых специализированной аппаратурой, приводится описание динамики работы устройств и результаты экспериментальных исследований, проведенных на действующих макетах аппаратуры, спроектированных в соответствии с принципиальными схемами устройств.

I

Структурные методы повышения быстродействия и надежности функционирования цифровых вычислительных устройств, как правило, связаны с ростом аппаратных затрат. Вместе с тем практические задачи часто выдвигают жесткие ограничения к габарито-весовым параметрам, предъявляя одновременно высокие требования к быстродействию и помехозащищенности процессов обработки информации. В частности, такие требования выдвигаются к СВМ, предназначенным для определения характеристик случайных процессов в реальном масштабе времени.

Анализ методов ускоренного выполнения машинных операций показывает необходимость создания более эффективных методов, обеспечивающих при практически целесообразном росте аппаратных затрат возможность увеличения быстродействия обработки информации в данной элементной системе и помехозащищенность вычислительных процедур.

Наиболее широко распространены в вычислительной технике двоичные коды, которые обладают целым рядом известных преимуществ. Очевидно, несмотря на наличие большого количества известных решений, работы по созданию более современных методов и устройств на базе двоичных кодов сохраняют свою актуальность.

Вместе с тем двоичные коды характеризует наличие межразрядных связей, ограничивающих быстродействие основных машинных операций. Поиски новых путей построения арифметических устройств, в которых операции над числами выполнялись бы так, чтобы зависимость между разрядами была исключена, привели к применению для этих целей аппарата теории вычетов, или, конкретнее, непозиционной системы счисления в остаточных классах (СОК).

Широкое применение СОК в вычислительной технике в настоящее время ограничивается необходимостью решения ряда проблем (фиксация переполнения, определение знака числа, возможность приближенных вычислений и др.) и требует разработки рациональных (в смысле практического применения) схем вычислительных устройств.

Особенности применения современных СВМ требуют большего среднего времени между отказами. В связи с этим важное практическое значение приобретают также структурные методы, позволяющие увеличить помехозащищенность вычислительных процедур, в частности, методы обеспечивающие автоматическое обнаружение и коррекцию ошибок процессов обработки информации.

II

Предложен метод ускоренного сложения двоичных чисел, предполагающий асинхронное выполнение процесса сложения.

Согласно этому методу для получения суммы $S = s_{n+1}s_n \dots s_1$ произвольных двоичных n -разрядных слагае-

мых $A = a_n a_{n-1} \dots a_1$ и $B = b_n b_{n-1} \dots b_1$ предварительно выполняются следующие поразрядные операции:

$$\begin{aligned} q_i &= a_i \oplus b_i, & i &= 1, 2, \dots, n \\ p_{i+1} &= a_i \wedge b_i, & i &= 1, 2, \dots, n. \end{aligned}$$

Группа разрядов $(i, i+1, \dots, i+m)$ чисел $q_n q_{n-1} \dots q_1$ и $p_n p_{n-1} \dots p_1$ при выполнении условий $q_i = p_i = 1$, $q_{i+m} = p_{i+m} = 0$ и $q_k = 1$ при $i \leq k < i+m$ образуют группы «первого» типа. Соответственно группы разрядов «второго» типа включают в себя разряды $(j, j+1, \dots, j+l)$, не вошедшие в группы «первого» типа. При этом

$$S_i = \begin{cases} \bar{q}_i & \text{при } i \in I_1 \\ q_i \oplus p_i & \text{при } i \in I_2, \end{cases}$$

где I_1 и I_2 — множества разрядов соответственно групп «первого» и «второго» типов.

Данный метод позволяет свести последовательный просмотр n разрядов слагаемых (при распространении переносов) к просмотру в среднем $\log_2 n$ двоичных разрядов.

Помимо метода ускоренного сложения в работе предложена также усовершенствованная методика выполнения операции умножения, описываемая следующими выражениями:

$$\begin{aligned} A \times B &= X \oplus \sum_{i=0}^{n-1} (Y_i \oplus Z_i) + 2 [\dots 2 [2Y_0 \wedge (X_0 \vee Z_0) \vee \\ &\vee X_0 \wedge Z_0] \wedge (X_1 \vee Z_1) \vee X_1 \wedge Z_1] \dots \wedge \\ &\wedge (X_{n-1} \vee Z_{n-1}) \vee X_{n-1} \wedge Z_{n-1}, \end{aligned} \quad (1)$$

где

$$\begin{aligned} X_i &= X_{i-1} \oplus Y_{i-1} \oplus Z_{i-1}, \\ Y_i &= 2Y_{i-1} \wedge (X_{i-1} \vee Z_{i-1}) \vee X_{i-1} \wedge Z_{i-1}, \\ X_0 &= Y_0 = 0, \quad Z_i = C_{i+1}, \quad i = 1, 2, \dots, n, \end{aligned} \quad (2)$$

при этом

$$\begin{aligned} C_i &= 2^{i-1} A b_i, \quad i = 1, 2, \dots, n, \\ \sum_{i=0}^n \oplus &= X_0 \oplus X_1 \oplus \dots \oplus X_n. \end{aligned}$$

Как видно из формулы (1), умножение двух двоичных чисел сводится к получению n частных произведений, n -кратному осуществлению цикла (2), реализуемого с помощью по-

разрядных логических операций, и только к единственной операции сложения двух двоичных чисел.

Одной из наиболее емких по времени машинных операций является операция деления, поэтому большое практическое значение приобретают методы, обеспечивающие повышение быстродействия выполнения этой операции.

Разработанный метод ускоренного машинного деления оперирует с двоичными числами, представленными в виде кодов с запятой, фиксированной перед старшим числовым разрядом. При этом полагается, что делимое A и делитель B представлены в прямом коде и удовлетворяют условиям: $A \neq 0$, $B \neq 0$, $|A| < |B|$.

Введем обозначения:

$$\begin{aligned} A : B &= C = C_0, \quad C_1 C_2, \dots, C_n, \\ A^{(i)} &= 2^i A, \quad B^{(i)} = 2^{(i)} B, \quad i = 0, 1, \dots, n, \\ X_i &= 2(A_i - B_0), \quad i = 0, 1, \dots, n, \\ Y_i &= A_i - 2B_0, \quad i = 1, 2, \dots, n. \end{aligned}$$

Данный метод деления содержит следующие действия:

1. Имеется: $A^{(i)}$, $B^{(i)}$, $i \in \{0, 1, \dots, n\}$. Если $B^{(i)} < 1/2$, то производится действие 1.1: операция $2A^{(i)} = A^{(i+1)}$, операция $2B^{(i)} = B^{(i+1)}$, переход к пункту 1. Если $B^{(i)} \geq 1/2$, то производится действие 1.2: переход к пункту 2.

2. Имеется: A_i , B_0 — нормализованный делитель. Если $A_i < 1/2$, то производится действие 2.1: запись $C_i = 0$, операция $2A_i = A_{i+1}$, переход к пункту 2. Если $A_i \geq 1/2$, то производится действие 2.2: операция $2(A_i - B_0) = X_i$, переход к пункту 3.

3. Имеется: X_i , B_0 , $i \in \{0, 1, \dots, n\}$. Если $X_i \geq 0$, то производится действие 3.1: запись $C_i = 1$, переход к пункту 2. Если $X_i < 0$, то производится действие 3.2: запись $C_i = 0$, переход к пункту 4.

4. Имеется: Y_i , B_0 , $i \in \{1, 2, \dots, n\}$. Если $Y_i < -1/2$, то производится действие 4.1: операция $2(Y_i + B_0) = X_i$, переход к пункту 3. Если $Y_i \geq -1/2$, то производится действие 4.2: запись $C_i = 1$, операция $2Y_i = Y_{i+1}$, переход к пункту 4.

Данный метод для определения n разрядов частного требует выполнения в среднем $\frac{2}{3} n$ операций сложения и всего $\frac{1}{3} n$ операций сдвига, увеличивая тем самым быстродействие деления по сравнению с методом пропуска на $\frac{1}{3} n$ операций сдвига.

На основе разработанных методов синтезированы быстродействующие асинхронные устройства суммирования, умножения и деления двоично-кодированных чисел.

Синтезирован также накапливающий параллельно-последовательный сумматор, позволяющий получать результат алгебраического сложения—вычитания в дополнительном коде без предварительного кодирования операндов. Сумматор позволяет также осуществлять одноктактные операции реверсивного счета, что расширяет его функциональные возможности.

Для выполнения синтеза и описания алгоритмов функционирования операционных устройств используется язык операторов элементов цифровых схем.

III

Рассмотрена задача преобразования позиционного представления цифровой информации в СОК. Разработан алгоритм преобразования чисел из двоично-кодированной десятичной системы в СОК, который описывается следующим образом:

$$f_r^{(i,m)} = \bigvee_{S \in G_r^{(m)}} \bigvee_{j \in M_S^{(i,m)}} (a_1^{(i)})^{[j_1]} \wedge (a_2^{(i)})^{[j_2]} \wedge (a_3^{(i)})^{[j_3]} \wedge (a_4^{(i)})^{[j_4]}$$

$$r = 1, 2, \dots, n$$

$$\beta_m^{(i)} = (f_1^{(i,m)} f_2^{(i,m)} \dots f_n^{(i,m)}) \quad i = 1, 2, \dots, k$$

$$\alpha_m = \left[\sum_{i=1}^k \beta_m^{(i)} \right] (\text{mod } p_m), \quad m = 1, 2, \dots, n$$

$$G_r^{(m)} = \{S = (S_1 S_2 \dots S_{n_m}) : S_r = 1\},$$

где

$$M_S^{(i,m)} = \{j : j10^{k-i} \equiv S (\text{mod } p_m)\},$$

$$X^{(j_k)} = \begin{cases} \bar{X} & \text{при } j_k = 0 \\ X & \text{при } j_k = 1, \end{cases}$$

$(a_1^{(i)} a_2^{(i)} a_3^{(i)} a_4^{(i)})$ — двоичное представление числа a_i ,

$(j_1 j_2 j_3 j_4)$ — двоичное представление числа j ,

$(a_1 a_2 \dots a_k)$ — десятичное представление числа N ,

$(\alpha_1 \alpha_2 \dots \alpha_n)$ — представление в СОК числа N .

Алгоритм положен в основу разработки быстродействующего устройства преобразования, не требующего вычисления

и хранения констант, что обеспечивает высокую скорость преобразования и экономию машинной памяти.

Преобразование n -разрядного десятичного числа выполняется за время $n-1$ операции сдвига. Данное устройство отличается от известных решений большим быстродействием и простотой.

Рассмотрена также методика синтеза арифметического устройства табличного типа в СОК. Устройство выполняет на одной матрице алгебраические операции сложения, вычитания и умножения, тем самым достигается существенная простота схемы и высокое быстродействие выполнения операций.

Как известно, одной из проблем машинной арифметики в остаточных классах является задача создания практически удобного метода фиксации переполнения при выполнении арифметических операций в СОК. В работе предложен метод фиксации переполнения при алгебраическом сложении в СОК, который поясняется ниже:

$$r_{\sigma}^{(1)} = \left[\frac{\sum_{i=1}^n \sigma_i l_i + \frac{p_n - 1}{2} + r_{n-1}^*}{p_n} \right],$$

$$r_{\sigma}^{(2)} = \left[\frac{\sum_{i=1}^n \sigma_i l_i + \frac{p_n - 1}{2}}{p_n} \right],$$

$$\bar{r}_{\sigma = \alpha + \beta} = r_{\alpha} + r_{\beta} - \sum_{i=1}^n m_i \left[\frac{\alpha_i + \beta_i}{p_i} \right],$$

$$r_{\sigma}^{(1)} + r_{\sigma}^{(2)} = \Delta_1, \quad r_{\sigma}^{(2)} - \bar{r}_{\sigma} = \Delta_2,$$

$$\Omega = \begin{cases} 0 & \text{при } \Delta_1 = 0, \quad \Delta_2 = 0, \\ 1 & \text{при } \Delta_1 = 0(1), \quad \Delta_2 = 1(0), \\ 1 & \text{при } \Delta_1 = 0,1; \quad \Delta_2 = -1. \end{cases}$$

$$\sigma_i = (\alpha_i + \beta_i) (\text{mod } p_i), \quad l_i = \frac{m_i p_n}{p_i}, \quad i = 1, 2, \dots, n,$$

$$r_{n-1}^* = \sum_{i=1}^{n-1} m_{i,n-1} - \left[\sum_{i=1}^{n-1} \frac{m_{i,n-1}}{p_i} \right],$$

$$m_i = m_{i,n} = \frac{p_i B_i}{P_n}, \quad B_i \equiv \delta_{ij} \pmod{p_j},$$

$$\delta_{ij} = \begin{cases} 1 & \text{при } i=j \\ 0 & \text{при } i \neq j, \end{cases}$$

где $p_i (i=1, 2, \dots, n)$ — основания СОК,

α_i, β_i — значения разрядов слагаемых,

Ω — признак переполнения, удовлетворяющий условию:

$$\Omega = \begin{cases} 0 & \text{при } \sigma \in \left[-\frac{P}{2} + r_{n-1}^* P_{n-1}, \frac{P}{2} - r_{n-1}^* P_{n-1} \right), \\ 1 & \text{при } \sigma \geq \frac{P}{2}, \\ -1 & \text{при } \sigma < -\frac{P}{2}, \end{cases}$$

где $\sigma = \alpha + \beta$, $P = p_1 p_2 \dots p_n$.

Если определить признак переполнения Ω согласно вышеприведенной таблице, то получается следующий результат:

$r_\sigma^{(1)} - r_\sigma^{(2)}$	$r_\sigma^{(2)} - \bar{r}_\sigma$	Ω
0	0	0
0	1	1
0	-1	-1
1	0	1
1	-1	-1

при нахождении алгебраической суммы $\sigma = \alpha + \beta$ в рабочем диапазоне имеет место равенство $\Omega = 0$, при выходе $\sigma = \alpha + \beta$ за диапазон разрядной сетки вправо $\Omega = 1$, а при выходе влево $\Omega = -1$. Такой результат позволяет, очевидно, производить любую операцию алгебраического сложения в рабочем диапазоне и фиксировать

выход результата операции за диапазон разрядной сетки. Очевидно, определенным подбором оснований системы счисления рабочий диапазон может быть выбран каким угодно.

Этот метод положен в основу разработанного автономного блока фиксации переполнения при алгебраическом сложении в СОК.

IV

В данной главе при описании разработанных избыточных схем используются операторы элементов схем, которые приводятся ниже.

Оператор триггера с нулевым α и единичным β входами (без запрещенных входных комбинаций), определяющий зна-

чение его единичного выхода, имеет вид:

$$T_{\alpha\beta}^{(n)}(Q, \alpha, \beta) = Q(t - \tau_T) \wedge \bar{\alpha}(t - \tau_T) \vee \bar{Q}(t - \tau_T) \wedge \beta(t - \tau_T),$$

где Q — состояние триггера, τ_T — время срабатывания триггера.

Значение нулевого выхода триггера определяется оператором:

$$\bar{T}_{\alpha\beta}^{(n)}(Q, \alpha, \beta) = Q(t - \tau_T) \wedge \alpha(t - \tau_T) \vee \bar{Q}(t - \tau_T) \wedge \bar{\beta}(t - \tau_T).$$

Оператор триггера со счетным входом γ , определяющий значение его единичного выхода, представляется в виде

$$T_Y^{(n)}(Q, \gamma) = Q(t - \tau_T) \oplus \gamma(t - \tau_T),$$

а оператор, определяющий нулевой выход этого триггера, имеет вид

$$\bar{T}_Y^{(n)}(Q, \gamma) = Q(t - \tau_T) \sim \gamma(t - \tau_T).$$

И, наконец, оператор линии задержки на время τ , определяющий значение ее выхода в произвольный момент t , представляется в виде

$$L_\tau^{(n)}(X) = X(t - \tau).$$

Произвольный разряд схемы приема кодов чисел с автоматическим обнаружением и коррекцией ошибки в операторной записи представляется в виде:

$$f_j = T_{\alpha\beta_j}(Q_j, \alpha_j, X_j \vee Y_j),$$

где

$$y_j = \bar{f}_j \wedge L_j(X_j \vee Y_j),$$

$$F_1 = L(F_2), \quad F_2 = \bigvee_{j=1}^n Y_j,$$

X_j и f_j — соответственно вход и выход данного разряда схемы.

Для всех избыточных схем код $(F_1 F_2) = (00)$ определяет правильное протекание процесса, код $(F_1 F_2) = (01)$ фиксирует ошибку, код $(F_1 F_2) = (10)$ свидетельствует об успешном корректировании ошибки, а код $(F_1 F_2) = (11)$ сигнализирует о наличии отказа в работе триггерных элементов памяти.

Разработанная схема сдвига с автоматическим обнаружением и коррекцией ошибок в операторной записи описывается следующими формулами:

$$f_j = T_{\alpha\beta_j}(Q_j, \bar{T}_{\alpha\beta_{j-1}} \wedge C \vee X'_j, T_{\alpha\beta_{j-1}} \wedge C \vee X_j),$$

где

$$X_j = \bar{f}_j \wedge L'_j(T_{\alpha\beta_{j-1}} \wedge C \vee X_j),$$

$$X'_j = f_j \wedge L'_j(\bar{T}_{\alpha\beta_{j-1}} \wedge C \vee X'_j),$$

где C — управляющий сигнал сдвига;

$$F = L(F_2), \quad F_2 = \bigvee_{j=1}^n (X_j \vee X'_j).$$

Значительная часть четвертой главы посвящена вопросу повышения надежности выполнения операции сложения. При этом описывается группа разработанных сумматоров, обеспечивающих автоматическое обнаружение и коррекцию ошибок процесса суммирования. Сумматор со структурной избыточностью в операторной форме описывается следующим образом:

$$f_j = T_{\gamma_j}(Q_j, X_j, Y_j \vee Z_j \vee Z'_j),$$

$$Y_{j+1} = L''_j(X_j \wedge f_j) \vee \bar{f}_j \wedge Y_j,$$

где

$$Z_j = \bar{f}_j \wedge L_j[\bar{f}_j \wedge (X_j \vee Y_j \vee Z_j \vee Z'_j)],$$

$$Z'_j = f_j \wedge L'_j[f_j \wedge (X_j \vee Y_j \vee Z_j \vee Z'_j)],$$

X_j и f_j — соответственно вход и выход j -го разряда сумматора, Y_j — перенос в j -тый разряд;

$$F_1 = L(F_2), \quad F_2 = \bigvee_{j=1}^{n+1} (Z_j \vee Z'_j).$$

После описания разработанных избыточных схем дается анализ эффективности этих схем. При этом для каждой схемы определяется величина разности

$$\Delta P = P - P^*,$$

где P и P^* — соответственно вероятности правильного срабатывания схем с избыточностью и без избыточности.

В результате проведенного анализа получены следующие результаты:

а) для схем приема и сдвига

$$\Delta P_1 \approx p_1 p_2^2 p_3 p_4^2 p_5 (1 - p_3),$$

где p_1 и p_4 — вероятности правильного срабатывания логического элемента «И», а p_2 , p_3 и p_5 — соответственно вероятности правильного срабатывания элемента «ИЛИ», триггера и линии задержки;

б) для суммирующей схемы

$$\Delta P_{11} \approx p_1^2 p_2 p_3^2 p_4 p_5 (1 - p_2),$$

где p_1 , p_2 и p_5 — соответственно вероятности правильного срабатывания элемента «ИЛИ», триггера и линии задержки, а p_3 и p_4 — элементов «И».

Как показал проведенный анализ, разработанные схемы позволяют повысить надежность работы основных вычислительных схем.

V

Быстродействующие вычислительные устройства и схемы с автоматической коррекцией ошибок вычислений, разработке и исследованию которых были посвящены предыдущие главы, использованы для построения специализированной вычислительной аппаратуры статистического анализа. Приводится описание динамики работы устройств для вычисления оценок математического ожидания и дисперсии размахов и периодов СП и результаты экспериментальных исследований.

В задачу экспериментальных исследований, проведенных на действующих макетах аппаратуры, входила проверка их работоспособности как при нормальных условиях эксплуатации, так и при некоторых возмущающих воздействиях.

Для разработанных устройств были проведены расчеты интенсивности отказа и среднего времени безотказной работы. При этом учитывалась как величина и характер нагрузки, так и электрический режим и временная диаграмма работы.

Результаты исследований подтвердили работоспособность аппаратуры.

Выводы

1. Выполнен анализ методов обработки информации, представленной в двоичном коде и в непозиционной системе счисления в остаточных классах, а также структурных методов увеличения помехоустойчивости цифровых вычислительных устройств.

2. Предложены новые методы машинного выполнения операций сложения, умножения и деления двоично-кодированных чисел, позволяющие увеличить быстродействие основных вычислительных процедур ЦВМ.

3. На основе предложенных методов синтезированы быстродействующие вычислительные устройства:

- асинхронный комбинационный сумматор;
- накапливающий параллельно-последовательный сумматор;

- устройство умножения;
- устройство деления;

4. Исследованы вопросы оперирования с числами в системе счисления в остаточных классах (СОК) и разработаны:

- быстродействующее устройство преобразования чисел из позиционной системы счисления в СОК;
- арифметический модуль в СОК с универсальной запоминающей матрицей;
- метод фиксации переполнения при алгебраическом сложении в СОК;
- автономный блок фиксации переполнения сумматора в СОК.

5. Построены схемы со структурной избыточностью, выполняющие универсальный набор машинных операций — прием, сдвиг и суммирование двоично-кодированной информации с автоматическим обнаружением и коррекцией ошибок вычисления.

6. Полученные результаты использованы при создании специализированной вычислительной аппаратуры статистического анализа.

Экспериментальные исследования подтвердили теоретические предпосылки, положенные в основу функционирования аппаратуры.

Отдельные результаты диссертации докладывались на IX Всесоюзной конференции по автоматическому контролю и методам электрических измерений (СО АН СССР, Новоси-

бирск, 1968 г.); на Республиканской конференции по применению вычислительной математики и вычислительной техники в народном хозяйстве (ВЦ АН ГССР, Тбилиси, 1968 г.) и на научных конференциях и семинарах ИК АН ГССР и ТФ ВНИИМ им. Д. И. Менделеева.

Основное содержание диссертации изложено в следующих работах:

1. Ладария Г. Г. Преобразование позиционного представления цифровой информации в систему остаточных классов. Сообщения Академии наук ГССР. Изд. «Мецниереба», Тбилиси, том 58, № 2, 1970.
2. Ладария Г. Г. Сумматор с автоматическим корректированием ошибок. «Техническая информация», раздел «Вычислительная техника». Изд. ГК СМ ГССР по науке и технике, 1970, № 5.
3. Ладария Г. Г., Сирадзе Ш. М. Метод машинного умножения. «Техническая информация», раздел «Вычислительная техника». Изд. ГК СМ ГССР по науке и технике, 1970, № 3.
4. Мнацаканов Р. Б., Ладария Г. Г., Агдгомелашвили О. Г. Способ сложения двоичных чисел. Авторское свидетельство № 176724, ИПТЗ № 23, 1965.
5. Мнацаканов Р. Б., Ладария Г. Г., Агдгомелашвили О. Г., Вартанов В. Л. Асинхронный сумматор. Авторское свидетельство № 173033, ИПТЗ № 14, 1965.
6. Чхеидзе М. В., Ладария Г. Г. Устройство для умножения. Авторское свидетельство № 1112975, ИПТЗ № 24, 1968.
7. Чхеидзе М. В., Ладария Г. Г. Устройство преобразования чисел из позиционной системы счисления в систему остаточных классов. Авторское свидетельство № 238887, ИПТЗ № 10, 1969.
8. Чхеидзе М. В., Ладария Г. Г. Накапливающий сумматор с фиксацией ошибки переноса. Авторское свидетельство № 208338, ИПТЗ № 3, 1968.
9. Чхеидзе М. В., Ладария Г. Г. Накапливающий сумматор с коррекцией ошибок переноса. Авторское свидетельство № 226270, ИПТЗ, № 28, 1969.
10. Чхеидзе М. В., Ладария Г. Г. Триггерный регистр с коррекцией ошибок сдвига. Авторское свидетельство № 258736, ИПТЗ № 1, 1970.

Подписано к печ. 14/I-71 г.	М-07069	Формат бум. 60×84 ¹ / ₁₆
Объем 1 печ. л.	Зак. 4	Тираж 130 экз.
		Бесплатно

Типография 3/1 УПЛ. Ленинград, Центр, пер. Гривцова, 14